

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年2月5日 (05.02.2004)

PCT

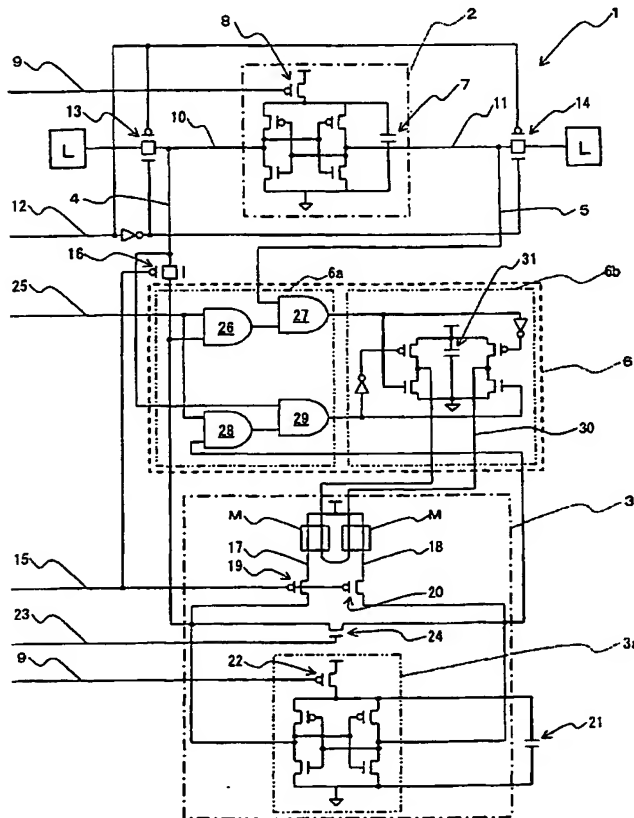
(10) 国際公開番号
WO 2004/012198 A1

- (51) 国際特許分類: G11C 11/15, 16/02, G06F 12/16, 12/06 (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/009295
- (22) 国際出願日: 2003年7月22日 (22.07.2003) (72) 発明者; および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 森山 勝利 (MORIYAMA, Katsutoshi) [JP/JP]; 〒814-0001 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内 Fukuoka (JP). 森 寛伸 (MORI, Hironobu) [JP/JP]; 〒814-0001 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内 Fukuoka (JP). 岡崎 信道 (OKAZAKI, Nobumichi) [JP/JP]; 〒141-0001 東京都
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-220423 2002年7月29日 (29.07.2002) JP

[続葉有]

(54) Title: COMPOSITE STORAGE CIRCUIT AND SEMICONDUCTOR DEVICE HAVING THE SAME COMPOSITE STORAGE CIRCUIT

(54) 発明の名称: 複合記憶回路及び同複合記憶回路を有する半導体装置



(57) Abstract: A reduction of power consumption is realized in a composite storage circuit and a semiconductor device having the same composite storage circuit wherein volatile and non-volatile storage circuits are connected in parallel to form the storage circuit, which is configured such that the non-volatile storage circuit stores the same information as the volatile storage circuit, thereby allowing instant-on. In the composite storage circuit and the semiconductor device having the same composite storage circuit, in a case where the information stored in the volatile storage circuit is written into the non-volatile storage circuit, a decision circuit compares first information stored in the volatile storage circuit with second information already stored in the non-volatile storage circuit, and only if the first and second information are not coincident, the first information is written into the non-volatile storage circuit.

(57) 要約: 揮発性記憶回路と不揮発性記憶回路とを並列に接続して記憶回路を構成し、揮発性記憶回路の記憶情報と同一情報を不揮発性記憶回路に記憶することによりインスタントオンを可能とした複合記憶回路及び同複合記憶回路を有する半導体装置において、消費電力の低減をはかった複合記憶回路及び同複合記憶回路を有する半導体装置を提供することを課題とする。そこで本発明では、揮発性記憶回路と不揮発性記憶回路とを並列に接続して構成した複合記憶回路及び同複合記憶回路を有する半導体装置において、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を

書き込む場合に、前記揮発性記憶回路に記憶している第1の記憶情報と、前記不揮発性記憶回路に既に記憶し

[続葉有]



品川区 北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
Tokyo (JP).

(74) 代理人: 内野 美洋, 外(UCHINO, Yoshihiro et al.); 〒
810-0021 福岡県 福岡市 中央区今泉 2 丁目 4 番 2 6 号
今泉コーポラス 1 階 Fukuoka (JP).

(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

複合記憶回路及び同複合記憶回路を有する半導体装置

技術分野

本発明は、揮発性記憶回路と不揮発性記憶回路を並列に接続して構成した複合記憶回路及び同複合記憶回路を有する半導体装置に関するものである。

背景技術

従来、パーソナルコンピュータのような電子計算機等に内蔵され、所要の処理を行う半導体装置内には、必要に応じて揮発性記憶回路を設け、処理に必要な情報を同揮発性記憶回路に逐次記憶させながら処理を実行している。

かかる揮発性記憶回路は電力供給を行なうことによって記憶を保持しており、書込速度及び読出速度が速いという特性を有している一方で、電源停止操作や急な停電等において電力供給が絶たれた場合に記憶していた記憶情報が消失するという特性を有している。したがって、電力供給停止後に電源を再投入した場合には、揮発性記憶回路には電力供給停止前に記憶していた情報が全く残っていないために、電力供給停止前の記憶情報を再現することが不可能であった。

そこで、昨今では、揮発性記憶回路と不揮発性記憶回路とを並列に接続して記憶回路を構成し、揮発性記憶回路に記憶した情報と同一情報を不揮発性記憶回路にも記憶することにより、電源停止操作や急な停電等において電力供給が絶たれた場合には必要な情報を不揮発性記憶回路で保存しておき、電力供給が再開された場合には、不揮発性記憶装置に記憶していた情報を用いることによって、電力供給が絶たれる前の状態に直ちに復帰可能とするインスタントオン技術が提案されている。

しかしながら、上記した記憶回路では、既に不揮発性記憶回路に記憶している情報が揮発性記憶回路の情報と同じ場合であっても不揮発性記憶回路への書込操

作が生じ、無駄な電力消費が生じているという問題があった。

特に、不揮発性記憶回路は、不揮発性という特性上、記憶情報の書込みに多大な電気エネルギーを必要とするために、消費電力削減を阻害する要因となっていた。

発明の開示

上記の問題点を解決すべく、請求の範囲第1項記載の発明では、揮発性記憶回路と不揮発性記憶回路とを並列に接続し、前記揮発性記憶回路に記憶された記憶情報と同一情報を前記不揮発性記憶回路に記憶すべく構成した複合記憶回路において、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込む場合に、前記揮発性記憶回路に記憶している第1の記憶情報と、前記不揮発性記憶回路に既に記憶している第2の記憶情報とを比較する判定回路を設け、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第1の記憶情報を書込むべく構成した。

また、請求の範囲第2項記載の発明では、請求の範囲第1項記載の複合記憶回路において、前記判定回路に、前記第1の記憶情報と前記第2の記憶情報とを比較する比較判定手段と、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合にのみ前記不揮発性記録回路に前記第1の記憶情報を書込む書込み手段とを設けた。

また、請求の範囲第3項記載の発明では、請求の範囲第1項または請求の範囲第2項に記載の複合記憶回路において、前記不揮発性記憶回路に、記憶手段として磁気トンネル接合素子を用いた。

また、請求の範囲第4項記載の発明では、請求の範囲第1項記載の複合記憶回路において、前記揮発性記憶回路への電力供給の低下時に、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込むとともに、電力供給低下後の給電再開時に、前記揮発性記憶回路に前記不揮発性記憶回路の記憶情報を戻すべく構成した。

また、請求の範囲第 5 項記載の発明では、請求の範囲第 4 項記載の複合記憶回路において、前記揮発性記憶回路及び前記不揮発性記憶回路に、電力供給の低下時に動作する電源供給手段を設けた。

また、請求の範囲第 6 項記載の発明では、請求の範囲第 4 項または請求の範囲第 5 項に記載の複合記憶回路において、前記不揮発性記憶回路には、記憶手段として磁気トンネル接合素子を用いた。

また、請求の範囲第 7 項記載の発明では、請求の範囲第 4 項または請求の範囲第 5 項に記載の複合記憶回路において、前記判定回路には、前記第 1 の記憶情報と前記第 2 の記憶情報とを比較する比較判定手段と、前記第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第 1 の記憶情報を書込む書込み手段とを設けた。

また、請求の範囲第 8 項記載の発明では、請求の範囲第 7 項記載の複合記憶回路において、前記不揮発性記憶回路には、記憶手段として磁気トンネル接合素子を用いた。

また、請求の範囲第 9 項記載の発明では、揮発性記憶回路と不揮発性記憶回路とを並列に接続し、前記揮発性記憶回路に記憶された記憶情報と同一情報を前記不揮発性記憶回路に記憶すべく構成した複合記憶回路を有する半導体装置において、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込む場合に、前記揮発性記憶回路に記憶している第 1 の記憶情報と、前記不揮発性記憶回路に既に記憶している第 2 の記憶情報とを比較する判定回路を設け、前記第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第 1 の記憶情報を書込むべく構成した。

また、請求の範囲第 10 項記載の発明では、請求の範囲第 9 項記載の半導体装置において、前記判定回路に、前記第 1 の記憶情報と前記第 2 の記憶情報とを比較する比較判定手段と、前記第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第 1 の記憶情報を書込む書込み手段とを設けた。

また、請求の範囲第 1 1 項記載の発明では、請求の範囲第 9 項または請求の範囲第 1 0 項に記載の半導体装置において、前記不揮発性記憶回路に、記憶手段として磁気トンネル接合素子を用いた。

また、請求の範囲第 1 2 項記載の発明では、請求の範囲第 9 項記載の半導体装置において、前記揮発性記憶回路への電力供給の低下時に、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込むとともに、電力供給低下後の給電再開時に、前記揮発性記憶回路に前記不揮発性記憶回路の記憶情報を戻すべく構成した。

また、請求の範囲第 1 3 項記載の発明では、請求の範囲第 1 2 項に記載の半導体装置において、前記揮発性記憶回路及び前記不揮発性記憶回路に、電力供給の低下時に動作する電源供給手段を設けた。

また、請求の範囲第 1 4 項記載の発明では、請求の範囲第 1 2 項または請求の範囲第 1 3 項に記載の半導体装置において、前記不揮発性記憶回路には、記憶手段として磁気トンネル接合素子を用いた。

また、請求の範囲第 1 5 項記載の発明では、請求の範囲第 1 2 項または請求の範囲第 1 3 項に記載の半導体装置において、前記判定回路には、前記第 1 の記憶情報と前記第 2 の記憶情報とを比較する比較判定手段と、前記第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記録回路に前記第 1 の記憶情報を書込む書込み手段とを設けた。

また、請求の範囲第 1 6 項記載の発明では、請求の範囲第 1 5 項記載の半導体装置において、記憶手段として磁気トンネル接合素子を用いた。

図面の簡単な説明

図 1 は、本発明に係る複合記憶回路の回路図である。

図 2 は、図 1 の回路図で示した複合記憶回路の動作説明用のタイミングチャートである。

図 3 は、図 1 の回路図で示した複合記憶回路の動作説明用のタイミングチャー

トである。

発明を実施するための最良の形態

本発明の複合記憶回路及び同複合記憶回路を有する半導体装置は、複合記憶回路を、揮発性記憶回路と不揮発性記憶回路とを並列に接続して構成し、揮発性記憶回路の記憶情報と同一情報を不揮発性記憶回路に記憶するものである。

そして、不揮発性記憶回路に揮発性記憶回路の記憶情報を書込む場合に、揮発性記憶回路に記憶している第１の記憶情報と、不揮発性記憶回路に既に記憶している第２の記憶情報とを比較して、第１の記憶情報と第２の記憶情報とが一致しているかどうかを判定する判定回路を設けているものである。

さらに、判定回路において第１の記憶情報と第２の記憶情報とが不一致と判定した場合には、不揮発性記憶回路に第１の記憶情報を書込み、判定回路において第１の記憶情報と第２の記憶情報とが一致すると判定した場合には不揮発性記憶回路への第１の記憶情報の書込みを行なわないように構成しているものである。

したがって、第１の記憶情報と第２の記憶情報とが一致する場合に不揮発性記憶回路への書込み処理を行なわないことによって、不揮発性記憶回路への書込処理の回数を削減することができ、消費電力を削減することができる。

特に、揮発性記憶回路の記憶情報の不揮発性記憶回路への書込みは、揮発性記憶回路への電力供給が低下したときに行うこととした場合には、電力供給の低下にともなって揮発性記憶回路の記憶情報が消失するおそれがある状態となったときにのみ、揮発性記憶回路の記憶情報を不揮発性記憶回路に書込むことができる。

したがって、複合記憶回路は、不揮発性記憶回路において読出されることなく次の書込処理によって上書きされる情報の書込処理の発生を防止して、消費電力を削減することができる。

不揮発性記憶回路に書込む情報は、電力供給低下後の給電再開時に利用する情報である。そして、不揮発性記憶回路に書込んだ情報は、給電再開時に揮発性記憶回路に書込むことによって、読出速度の速い揮発性記憶回路から所要の情報を

利用することができ、速やかなインスタントオンを実現することができる。

上記の複合記憶回路を半導体基板上に形成して構成した半導体装置は、電力の供給が停止された際に動作時の状態を複合記憶回路によって記憶しておくことができ、しかも給電を再開した場合には、複合記憶回路によって保持された情報を用いることによって瞬時に電力供給停止直前の状態に復帰させることができる。

したがって、同半導体装置を用いて電子機器や電気機器を構成した場合には、インスタントオンを容易に実現できる。

なお、この場合、揮発性記憶回路と不揮発性記憶回路とは必ずしも同一半導体基板上に形成する必要はなく、異なる半導体基板上にそれぞれ揮発性記憶回路と不揮発性記憶回路とを構成し、所要の配線により並列接続してもよい。

以下において、図面に基づいて本発明の実施形態を詳説する。特に次の順番で説明を行なう。

- 1) 複合記憶回路の説明
- 2) 給電停止時における複合記憶回路の動作説明
- 3) 給電再開時における複合記憶回路の動作説明

以下の説明では、不揮発性記憶回路には磁気メモリからなる磁気記憶回路を用いているが、磁気記憶回路に限定するものではなく、EEPROM、Flashメモリ、強誘電体メモリなどを用いて構成した不揮発性記憶回路としてもよい。

1) 複合記憶回路構造の説明

図1は、本実施形態の複合記憶回路1の回路図であり、同複合記憶回路1は、揮発性記憶回路2と、不揮発性記憶回路3とを、第1接続線4と、第2接続線5とによって並列状態に接続して構成している。

特に、不揮発性記憶回路3は判定回路6を介して揮発性記憶回路2と接続しており、後述するように、揮発性記憶回路2に記憶された第1の記憶情報を不揮発性記憶回路3に書込む場合には、判定回路6において、第1の記憶情報と、不揮発性記憶回路3に既に記憶されている第2の記憶情報との比較を行ない、第1の記憶情報と第2の記憶情報とが不一致の場合にのみ不揮発性記憶回路3に第1の

記憶情報を書込むべく構成している。

本実施形態においては、揮発性記憶回路 2、不揮発性記憶回路 3、及び判定回路 6 は半導体基板上に形成しており、揮発性記憶回路 2 は、システム L S I チップに形成したラッチ式記憶回路としている。

また、揮発性記憶回路 2 には、コンデンサからなる情報保持用電源 7 を設けており、かつ、同情報保持用電源 7 の作動制御を行なう第 1 スイッチトランジスタ 8 を設けている。同第 1 スイッチトランジスタ 8 のゲートには、電源スイッチ信号入力線 9 を接続しており、同電源スイッチ信号入力線 9 から入力した電源スイッチ信号に基づいて第 1 スイッチトランジスタ 8 を制御して、情報保持用電源 7 の作動制御を行なうべく構成している。

揮発性記憶回路 2 には他の記憶回路あるいは素子と接続する第 1 導線 10 と第 2 導線 11 を接続している。第 1 導線 10 及び第 2 導線 11 には、それぞれ電源切離信号入力線 12 と接続した第 1 回路切替スイッチ 13 及び第 2 回路切替スイッチ 14 を介設しており、電源切離信号入力線 12 からの電源切離信号の入力に基づいて、第 1 回路切替スイッチ 13 及び第 2 回路切替スイッチ 14 での開閉切替を行なうべく構成している。

第 1 導線 10 と一端を接続する第 1 接続線 4 は、揮発性記憶回路 2 と第 1 回路切替スイッチ 13 との間において第 1 導線 10 と接続しており、また、第 2 導線 11 と一端を接続する第 2 接続線 5 は、揮発性記憶回路 2 と第 2 回路切替スイッチ 14 との間において第 2 導線 11 と接続している。

また、第 1 接続線 4 には、読出信号入力線 15 と接続した第 3 回路切替スイッチ 16 を介設しており、読出信号入力線 15 からの読出信号の入力に基づいて、第 3 回路切替スイッチ 16 での開閉切替を行なうべく構成している。

不揮発性記憶回路 3 には、上記したように磁気記憶回路を用いており、「0」または「1」の情報を、磁気トンネル接合素子 M を用いて記憶すべく構成している。なお、揮発性記憶回路 2 であるラッチ式記憶回路が 2 ビットの情報の記憶を行なうため、不揮発性記憶回路 3 でも 2 ビットの情報の記憶を行なうべく、磁気トン

ネル接合素子Mを2つ設けている。

磁気トンネル接合素子Mには、第1読出線17と第2読出線18とを接続しており、同第1読出線17と同第2読出線18を介して磁気トンネル接合素子Mを情報読出回路3aと接続し、磁気トンネル接合素子Mからの情報の読出しを行なうべく構成している。

なお、第1読出線17には、読出信号入力線15と接続した第1読出制御スイッチトランジスタ19を介設するとともに、第2読出線18には、読出信号入力線15と接続した第2読出制御スイッチトランジスタ20を介設し、読出信号入力線15に読出信号を入力することにより、後述するように、情報読出回路3aを用いて磁気トンネル接合素子Mから情報を読出すべく構成している。

情報読出回路3aには、コンデンサからなる読出用電源21を設けており、かつ、同読出用電源21の作動制御を行なう第2スイッチトランジスタ22を設けている。同第2スイッチトランジスタ22のゲートには、電源スイッチ信号入力線9を接続しており、同電源スイッチ信号入力線9から入力した電源スイッチ信号に基づいて第2スイッチトランジスタ22を制御して、読出用電源21の作動制御を行なうべく構成している。

また、本実施形態においては、不揮発性記憶回路3には、ベースにイコライズ信号入力線23を接続したイコライズスイッチトランジスタ24を設け、同イコライズスイッチトランジスタ24は一端を第1読出線17に接続するとともに、他端を第2読出線18に接続している。

判定回路6は、複数のANDゲート回路を組み合わせて構成した比較判定部6aと、同比較判定部6aでの判定結果に基づいて不揮発性記憶回路3に書込みを行なうための書込用ドライバ回路6bとから構成している。

比較判定部6aには、書込信号入力線25と接続して書込信号を入力するとともに、揮発性記憶回路3に記憶された第2の記憶情報の信号を入力する第1ANDゲート回路26と、同第1ANDゲート回路26から出力された出力信号を入力するとともに、第2接続線5を介して揮発性記憶回路2に記憶された第1の記憶情

報の信号を入力する第2 ANDゲート回路 27 を設けている。さらに、比較判定部 6a には、書込信号入力線 25 と接続して書込信号を入力するとともに、揮発性記憶回路 3 に記憶された第2の記憶情報の信号を入力する第3 ANDゲート回路 28 と、同第3 ANDゲート回路 28 から出力された出力信号を入力するとともに、第1接続線 4 を介して揮発性記憶回路 2 に記憶された第1の記憶情報の信号を入力する第4 ANDゲート回路 29 を設けている。

従って、同比較判定部 6a において、揮発性記憶回路 2 の第1の記憶情報と不揮発性記憶回路 3 の第2の記憶情報とが一致した場合には、書込用ドライバ回路 6b は作動せず、揮発性記憶回路 2 の第1の記憶情報と不揮発性記憶回路 3 の第2の記憶情報とが不一致の場合には、書込用ドライバ回路 6b が作動し、磁気トンネル接合素子Mと接続した書込線 30 に所要の書込用電流を流して、磁気トンネル接合素子Mに第1の記憶情報を書込むべく構成している。

なお、書込用ドライバ回路 6b にはコンデンサからなる書込用電源 31 を設けており、電源供給が停止した場合であっても、磁気トンネル接合素子Mと接続した書込線 30 に所要の書込用電流を所定時間流して、磁気トンネル接合素子Mに第1の記憶情報を確実に書込可能としている。

通常、システムLSIチップには、上記した複合記憶回路 1 を多数内蔵しており、システムLSIチップ全体から見ると、揮発性記憶回路 2 の第1の記憶情報と不揮発性記憶回路 3 の第2の記憶情報とが一致する確率は約50%であるので、判定回路 6 を設けることによってシステムLSIチップ全体では、不揮発性記憶回路 3 への書込回数をほぼ半減させることができるので、消費電力の削減をはかることができる。

2) 給電停止時における複合記憶回路の動作説明

図2に示したタイミングチャートに基づいて、給電停止時における複合記憶回路 1 の動作を説明する。給電停止状態となるのは、シャットダウン操作による主電源の切断の場合だけでなく、停電や予期せぬトラブルの場合などもあるが、以下においては一般的な給電停止状態であるシャットダウン操作による主電源の切

断の場合について説明する。給電停止の理由がいずれであっても、給電停止時の動作形態は同じである。

図2(a)は、複合記憶回路1を有するにシステムLSIチップの主電源切断に基づく電力のタイミング図である。主電源の切断にともなってシステムLSIチップへの給電量が所定値以下となったところで、システムLSIチップのパワーオフ信号発生回路(図示せず)が作動し、同パワーオフ信号発生回路は、図2(b)に示すパワーオフ信号を発生させる。

パワーオフ信号に基づいて電源切離信号発生回路(図示せず)が作動し、同電源切離信号発生回路は、図2(c)に示す電源切離信号を発生させる。

電源切離信号は、電源切離信号入力線12によって第1回路切替スイッチ13と第2回路切替スイッチ14とに入力し、第1回路切替スイッチ13と第2回路切替スイッチ14とによって第1導線10及び第2導線11の切断を行なう。

第1導線10及び第2導線11が切断されることによって、同第1導線10及び第2導線11を介して接続された他の記憶回路や素子から揮発性記憶回路2を独立させ、揮発性記憶回路2への情報入力を阻止し、電源切断後に揮発性記憶回路2の記憶情報に変更が加えられることを禁止している。

すなわち、第1導線10及び第2導線11と他の記憶回路や素子とを接続したままとした場合には、揮発性記憶回路2に供給される電力の低下にともなって、揮発性記憶回路2を構成しているトランジスタのドレイン側から電荷が消費されるため、記憶情報が自発的に変化するおそれがあるからである。

ここで、第1回路切替スイッチ13と第2回路切替スイッチ14にはトランスファークロウを用いているが、トランスファークロウと同様に揮発性記憶回路2を構成しているトランジスタの電荷消費を防止できる構成であれば何であってもよい。

パワーオフ信号に基づいて電源スイッチ信号発生回路(図示せず)が作動し、同電源スイッチ信号発生回路は、図2(d)に示す電源スイッチ信号を発生させる。

1 1

電源スイッチ信号は、電源スイッチ信号入力線 9 によって第 1 スイッチトランジスタ 8 に入力し、揮発性記憶回路 2 の供給電源を情報保持用電源 7 に切換える。また、電源スイッチ信号は、電源スイッチ信号入力線 9 によって第 2 スイッチトランジスタ 22 にも入力し、情報読出回路 3a の供給電源を読出用電源 21 に切換える。

情報保持用電源 7 及び読出用電源 21 を作動させることによって、主電源の切断にともなって電力供給が絶たれたにもかかわらず、揮発性記憶回路 2 では記憶されている第 1 の記憶情報を所定時間保持可能とするとともに、不揮発性記憶回路 3 では判定回路 6 の比較判定部 6a に第 2 の記憶情報を読出可能としている。

パワーオフ信号に基づく電源切離信号及び電源スイッチ信号の生成と同時に、パワーオフ信号に基づいて書込信号発生回路（図示せず）が作動し、同書込信号発生回路は、図 2（e）に示す書込信号を発生させる。

書込信号は、書込信号入力線 25 によって比較判定部 6a の第 1 AND ゲート回路 26 と第 3 AND ゲート回路 28 とに入力し、同比較判定部 6a において揮発性記憶回路 2 から読出した第 1 の記憶情報と、不揮発性記憶回路 3 から読出した第 2 の記憶情報との比較を行なう。

第 1 の記憶情報と第 2 の記憶情報とが一致した場合には、不揮発性記憶回路 3 には第 1 の記憶情報を書込む必要がないので、書込用ドライバ回路 6b は作動することなく、作業を終了する。

一方、第 1 の記憶情報と第 2 の記憶情報とが不一致の場合には、不揮発性記憶回路 3 への第 1 の記憶情報の書込みを行なうべく書込用ドライバ回路 6b を作動させ、書込線 30 に所要の書込用電流を流し、図 2（f）に示すように不揮発性記憶回路 3 に揮発性記憶回路 2 の第 1 の記憶情報を書込むべく構成している。

なお、書込用ドライバ回路 6b には書込用電源 31 を設けていることにより、主電源の切断にともなって電力供給が絶たれたにもかかわらず、書込用ドライバ回路 6b を所定時間作動させて、不揮発性記憶回路 3 に第 1 の記憶情報を書込可能としている。

1 2

不揮発性記憶回路 3 における磁気記憶回路に磁気トンネル接合素子 M を用いた場合には、数 10 ns 程度の短い書込時間で書込みを行なうことができるので、電力備蓄手段である情報保持用電源 7、読出用電源 21、書込用電源 31 の容量を抑制できる。

情報保持用電源 7、読出用電源 21、書込用電源 31 は、不揮発性記憶回路 3 への書込処理が実行可能な程度の容量であればよく、図 2 (f) 及び図 2 (g) に示すように不揮発性記憶回路 3 への第 1 の記憶情報の書込みが終了するまで、揮発性記憶回路 2 は第 1 の記憶情報を保持できればよい。

以上が、主電源の切断時に複合記憶回路 1 が行なう動作である。このように、給電量の低下にともなって発生させたパワーオフ信号をトリガーとして、揮発性記憶回路 2 の第 1 の記憶情報を不揮発性記憶回路 3 に書込ませることにより、給電停止後の給電再開時に必要となる情報のみを不揮発性記憶回路 3 に記憶させることができ、不揮発性記憶回路 3 への書込回数を削減して消費電力の削減をはかることができる。

3) 給電再開時における複合記憶回路の動作説明

図 3 に示したタイミングチャートに基づいて、主電源の切断に基づいて給電が停止していた状態から給電が再開された場合における複合記憶回路 1 の動作を説明する。

図 3 (a) は、給電再開にともなって電源から複合記憶回路 1 を有するシステム L S I チップに供給される電力のタイミング図であり、システム L S I チップへの給電量が所定値に達したところで、システム L S I チップのパワーオン信号発生回路 (図示せず) が作動し、同パワーオン信号発生回路は、図 3 (b) に示すパワーオン信号を発生させる。

パワーオン信号に基づいて電源切離信号発生回路 (図示せず) が作動し、同電源切離信号発生回路は、図 3 (c) に示す電源切離信号を発生させる。

電源切離信号は、電源切離信号入力線 12 によって第 1 回路切替スイッチ 13 と第 2 回路切替スイッチ 14 とに入力し、第 1 回路切替スイッチ 13 と第 2 回路切替

スイッチ 14 とによって第 1 導線 10 及び第 2 導線 11 の切断を行なう。

第 1 導線 10 及び第 2 導線 11 を切断することによって、同第 1 導線 10 及び第 2 導線 11 を介して接続された他の記憶回路や素子から揮発性記憶回路 2 を独立させ、他の記憶回路や素子から影響を受けることなく揮発性記憶回路 2 に不揮発性記憶回路 3 の第 2 の記憶情報を書込可能としている。

図 3 (d) に示すように、読出信号発生回路 (図示せず) は、システム L S I チップへの電力供給開始に同期して読出信号を発生させており、同読出信号は、読出信号入力線 15 によって第 3 回路切替スイッチ 16 に入力するとともに、第 1 読出制御スイッチトランジスタ 19 及び第 2 読出制御スイッチトランジスタ 20 にも入力する。

次いで、パワーオン信号に基づいてイコライズ信号発生回路 (図示せず) は、図 3 (e) に示すイコライズ信号を発生させ、同イコライズ信号をイコライズ信号入力線 23 に入力する。

イコライズ信号入力線 23 へのイコライズ信号の入力にともなって、図 3 (f) に示すように揮発性記憶回路 2 のイコライズを行なう。このとき、不揮発性記憶回路 3 では読出信号に基づいて、磁気トンネル接合素子 M から読出回路 3a に第 2 の記憶情報の読出しを行なう。

そして、イコライズ信号をディセーブル (disable) するとともに、読出信号を投入することにより、図 3 (f) に示すように不揮発性記憶回路 3 に記憶されていた第 2 の記憶情報を揮発性記憶回路 2 に読出している。

揮発性記憶回路 2 への第 2 の記憶情報の読出し後、電源切離信号をディセーブルとすることにより、第 1 回路切替スイッチ 13 及び第 2 回路切替スイッチ 14 によって切断状態としていた第 1 導線 10 及び第 2 導線 11 の接続を行ない、揮発性記憶回路 2 に読出した第 2 の記憶情報、及び揮発性記憶回路 2 自体を利用可能としている。

以上が、給電再開時に複合記憶回路 1 が行なう動作である。このように、給電再開時に揮発性記憶回路に不揮発性記憶回路の記憶情報を戻すことによって、読

出速度の速い揮発性記憶回路から所要の情報を利用可能とすることができ、速やかなインスタントオンを実現することができる。

産業上の利用可能性

(1) 請求の範囲第1項記載の複合記憶回路では、揮発性記憶回路と不揮発性記憶回路とを並列に接続し、前記揮発性記憶回路に記憶された記憶情報と同一情報を前記不揮発性記憶回路に記憶すべく構成した複合記憶回路において、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込む場合に、前記揮発性記憶回路に記憶している第1の記憶情報と、前記不揮発性記憶回路に既に記憶している第2の記憶情報とを比較する判定回路を設け、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第1の記憶情報を書込むべく構成した。

したがって、不揮発性記憶回路への書込処理の回数を削減することができるので、消費電力を削減することができる。

(2) 請求の範囲第2項記載の複合記憶回路では、請求の範囲第1項記載の複合記憶回路において、判定回路に、前記第1の記憶情報と前記第2の記憶情報とを比較する比較判定手段と、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合にのみ前記不揮発性記録回路に前記第1の記憶情報を書込む書込み手段とを設けた。

したがって、判定回路では、速やかに判定処理を行うことができ、第1の記憶情報と前記第2の記憶情報とが不一致の場合には、前記第1の記憶情報を確実に前記不揮発性記録回路に書込むことができる。

(3) 請求の範囲第3項記載の複合記憶回路では、請求の範囲第1項または請求の範囲第2項に記載の複合記憶回路において、不揮発性記憶回路に、記憶手段として磁気トンネル接合素子を用いた。

したがって、不揮発性記憶回路に第1の記憶情報を書込む場合に比較的短時間で書込みを行うことができる。

(4) 請求の範囲第4項記載の複合記憶回路では、請求の範囲第1項記載の複合記憶回路において、前記揮発性記憶回路への電力供給の低下時に、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込むとともに、電力供給低下後の給電再開時に、前記揮発性記憶回路に前記不揮発性記憶回路の記憶情報を戻すべく構成した。

したがって、電力供給の低下にともなって揮発性記憶回路の記憶情報が消失するおそれのある状態となったときにのみ、揮発性記憶回路の記憶情報を不揮発性記憶回路に確実に書込むことができ、不揮発性記憶回路への書込処理の回数を削減することができ、消費電力を削減することができる。しかも、不揮発性記憶回路に書込む情報は、電力供給低下後の給電再開時に必要となる情報であって、そのうえ、給電再開時に揮発性記憶回路に不揮発性記憶回路の記憶情報を戻すことによって、読出速度の速い揮発性記憶回路から所要の情報を利用可能とすることができ、速やかなインスタントオンを実現することができる。

(5) 請求の範囲第5項記載の複合記憶回路では、請求の範囲第4項記載の複合記憶回路において、前記揮発性記憶回路及び前記不揮発性記憶回路に、電力供給の低下時に動作する電源供給手段を設けた。

したがって、電力供給が低下しても電源供給手段によって前記揮発性記憶回路及び前記不揮発性記憶回路を所定時間だけ作動させることができ、必要な情報を前記不揮発性記憶回路に確実に記憶させることができる。

(6) 請求の範囲第6項記載の複合記憶回路では、請求の範囲第4項または請求の範囲第5項に記載の複合記憶回路において、不揮発性記憶回路に、記憶手段として磁気トンネル接合素子を用いた。

したがって、不揮発性記憶回路に第1の記憶情報を書込む場合に比較的短時間で書込みを行うことができる。

(7) 請求の範囲第7項記載の複合記憶回路では、請求の範囲第4項または請求の範囲第5項に記載の複合記憶回路において、前記判定回路に、前記第1の記憶情報と前記第2の記憶情報とを比較する比較判定手段と、前記第1の記憶情報

と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記録回路に前記第 1 の記憶情報を書込む書込み手段とを設けた。

したがって、判定回路では、速やかに判定処理を行うことができ、第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合には、前記第 1 の記憶情報を確実に前記不揮発性記録回路に書込むことができる。

(8) 請求の範囲第 8 項記載の複合記憶回路では、請求の範囲第 7 項記載の複合記憶回路において、不揮発性記憶回路に、記憶手段として磁気トンネル接合素子を用いた。

したがって、不揮発性記憶回路に第 1 の記憶情報を書込む場合に比較的短時間で書込みを行うことができる。

(9) 請求の範囲第 9 項記載の半導体装置では、揮発性記憶回路と不揮発性記憶回路とを並列に接続し、前記揮発性記憶回路に記憶された記憶情報と同一情報を前記不揮発性記憶回路に記憶すべく構成した複合記憶回路を有する半導体装置において、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込む場合に、前記揮発性記憶回路に記憶している第 1 の記憶情報と、前記不揮発性記憶回路に既に記憶している第 2 の記憶情報とを比較する判定回路を設け、前記第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第 1 の記憶情報を書込むべく構成した。

したがって、不揮発性記憶回路への書込処理の回数を削減することができるので、半導体装置における消費電力を削減することができる。

(10) 請求の範囲第 10 項記載の半導体装置では、請求の範囲第 9 項記載の半導体装置において、前記判定回路に、前記第 1 の記憶情報と前記第 2 の記憶情報とを比較する比較判定手段と、前記第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記録回路に前記第 1 の記憶情報を書込む書込み手段とを設けた。

したがって、判定回路では、速やかに判定処理を行うことができ、第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合には、前記第 1 の記憶情報を確実に

前記不揮発性記録回路に書込むことができる。

(11) 請求の範囲11項記載の半導体装置では、請求の範囲第9項または請求の範囲第10項に記載の半導体装置において、前記不揮発性記憶回路に、記憶手段として磁気トンネル接合素子を用いた。

したがって、不揮発性記憶回路に第1の記憶情報を書込む場合に比較的短時間で書込みを行うことができる。

(12) 請求の範囲第12項記載の半導体装置では、請求の範囲第9項記載の半導体装置において、前記揮発性記憶回路への電力供給の低下時に、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込むとともに、電力供給低下後の給電再開時に、前記揮発性記憶回路に前記不揮発性記憶回路の記憶情報を戻すべく構成した。

したがって、かかる半導体装置では、電力供給の低下にともなって揮発性記憶回路の記憶情報が消失するおそれのある状態となったときにのみ、揮発性記憶回路の記憶情報を不揮発性記憶回路に確実に書込むことができ、不揮発性記憶回路への書込処理の回数を削減することができるので、半導体装置の消費電力を削減することができる。しかも、不揮発性記憶回路に書込む情報は、電力供給低下後の給電再開時に必要となる情報であって、そのうえ、給電再開時に揮発性記憶回路に不揮発性記憶回路の記憶情報を戻すことによって、読出速度の速い揮発性記憶回路から所要の情報を利用可能とすることができ、速やかなインスタントオンを実現可能な半導体装置を提供できる。

(13) 請求の範囲第13項記載の半導体装置では、請求の範囲第12項記載の半導体装置において、前記揮発性記憶回路及び前記不揮発性記憶回路に、電力供給の低下時に動作する電源供給手段を設けた。

したがって、電力供給が低下しても電源供給手段によって前記揮発性記憶回路及び前記不揮発性記憶回路を所定時間だけ作動させることができるので、必要な情報を前記不揮発性記憶回路に確実に記憶させることができる。

(14) 請求の範囲第14項記載の半導体装置では、請求の範囲第12項また

は請求の範囲第13項に記載の半導体装置において、記憶手段として磁気トンネル接合素子を用いた。

したがって、不揮発性記憶回路に第1の記憶情報を書込む場合に比較的短時間で書込みを行うことができる。

(15) 請求の範囲第15項記載の半導体装置では、請求の範囲第12項または請求の範囲第13項に記載の半導体装置において、前記判定回路に、前記第1の記憶情報と前記第2の記憶情報とを比較する比較判定手段と、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合にのみ前記不揮発性記録回路に前記第1の記憶情報を書込む書込み手段とを設けた。

したがって、判定回路では、速やかに判定処理を行うことができ、第1の記憶情報と前記第2の記憶情報とが不一致の場合には、前記第1の記憶情報を確実に前記不揮発性記録回路に書込むことができる。

(16) 請求の範囲第16項記載の半導体装置では、請求の範囲第15項記載の半導体装置において、記憶手段として磁気トンネル接合素子を用いた。

したがって、不揮発性記憶回路に第1の記憶情報を書込む場合に比較的短時間で書込みを行うことができる。

請 求 の 範 囲

1. 揮発性記憶回路と不揮発性記憶回路とを並列に接続し、前記揮発性記憶回路に記憶された記憶情報と同一情報を前記不揮発性記憶回路に記憶すべく構成した複合記憶回路において、

前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込む場合に、前記揮発性記憶回路に記憶している第1の記憶情報と、前記不揮発性記憶回路に既に記憶している第2の記憶情報とを比較する判定回路を設け、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第1の記憶情報を書込むべく構成したことを特徴とする複合記憶回路。

2. 前記判定回路には、前記第1の記憶情報と前記第2の記憶情報とを比較する比較判定手段と、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第1の記憶情報を書込む書込み手段とを設けたことを特徴とする請求の範囲第1項記載の複合記憶回路。

3. 前記不揮発性記憶回路には、記憶手段として磁気トンネル接合素子を用いたことを特徴とする請求の範囲第1項または請求の範囲第2項に記載の複合記憶回路。

4. 前記揮発性記憶回路への電力供給の低下時に、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込むとともに、電力供給低下後の給電再開時に、前記揮発性記憶回路に前記不揮発性記憶回路の記憶情報を戻すべく構成したことを特徴とする請求の範囲第1項記載の複合記憶回路。

5. 前記揮発性記憶回路及び前記不揮発性記憶回路には、電力供給の低下時に動作する電源供給手段を設けたことを特徴とする請求の範囲第4項記載の複合記憶回路。

6. 前記不揮発性記憶回路には、記憶手段として磁気トンネル接合素子を用いたことを特徴とする請求の範囲第4項または請求の範囲第5項に記載の複合記憶回路。

7. 前記判定回路には、前記第1の記憶情報と前記第2の記憶情報とを比較する

比較判定手段と、前記第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記録回路に前記第 1 の記憶情報を書込む書込み手段とを設けたことを特徴とする請求の範囲第 4 項または請求の範囲第 5 項に記載の複合記憶回路。

8. 前記不揮発性記憶回路には、記憶手段として磁気トンネル接合素子を用いたことを特徴とする請求の範囲第 7 項記載の複合記憶回路。

9. 揮発性記憶回路と不揮発性記憶回路とを並列に接続し、前記揮発性記憶回路に記憶された記憶情報と同一情報を前記不揮発性記憶回路に記憶すべく構成した複合記憶回路を有する半導体装置において、

前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込む場合に、前記揮発性記憶回路に記憶している第 1 の記憶情報と、前記不揮発性記憶回路に既に記憶している第 2 の記憶情報とを比較する判定回路を設け、前記第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第 1 の記憶情報を書込むべく構成したことを特徴とする半導体装置。

10. 前記判定回路には、前記第 1 の記憶情報と前記第 2 の記憶情報とを比較する比較判定手段と、前記第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記録回路に前記第 1 の記憶情報を書込む書込み手段とを設けたことを特徴とする請求の範囲第 9 項記載の半導体装置。

11. 前記不揮発性記憶回路には、記憶手段として磁気トンネル接合素子を用いたことを特徴とする請求の範囲第 9 項または請求の範囲第 10 項に記載の半導体装置。

12. 前記揮発性記憶回路への電力供給の低下時に、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込むとともに、電力供給低下後の給電再開時に、前記揮発性記憶回路に前記不揮発性記憶回路の記憶情報を戻すべく構成したことを特徴とする請求の範囲第 11 項記載の半導体装置。

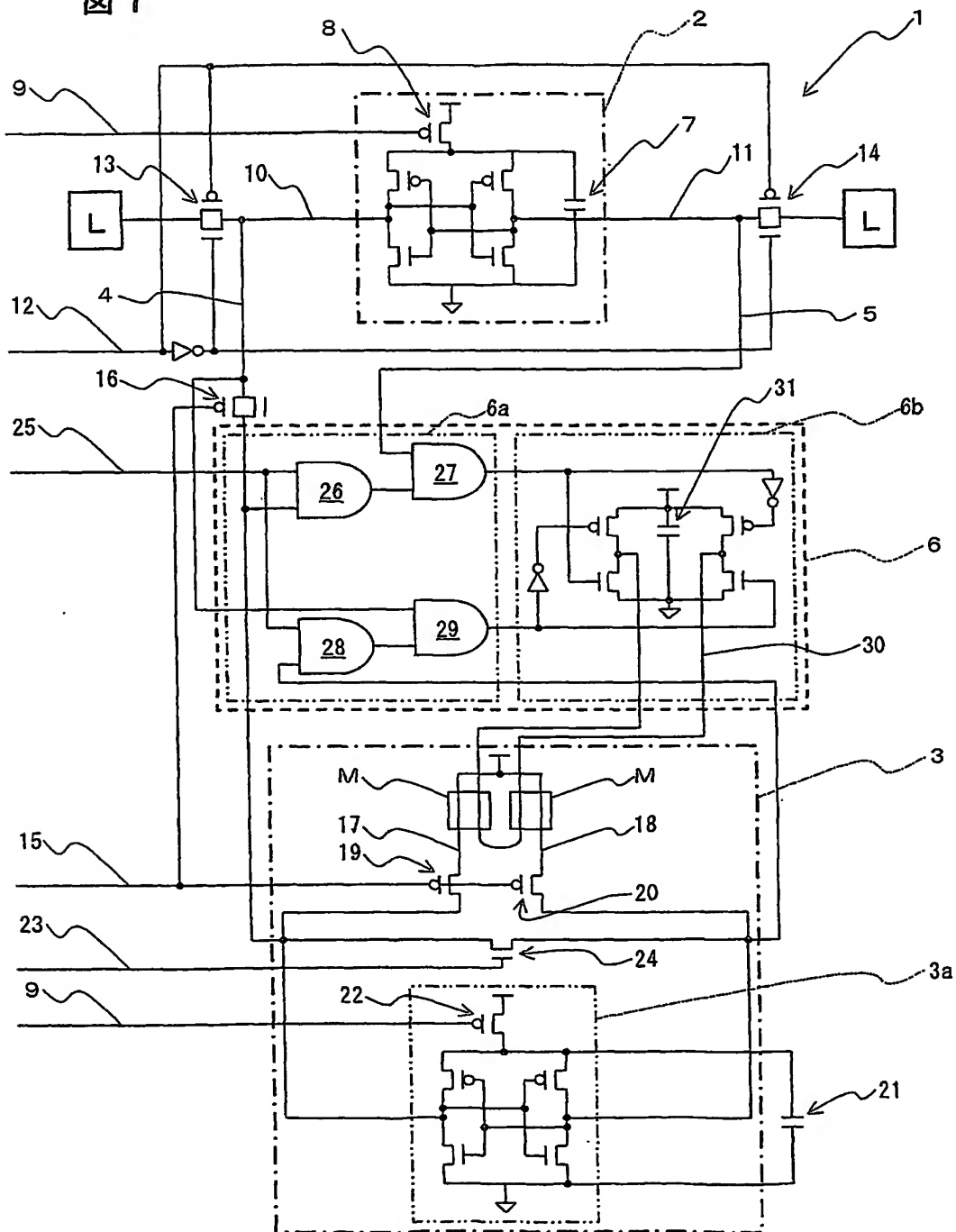
13. 前記揮発性記憶回路及び前記不揮発性記憶回路には、電力供給の低下時に動作する電源供給手段を設けたことを特徴とする請求の範囲第 12 項記載の半

導体装置。

- 1 4. 前記不揮発性記憶回路には、記憶手段として磁気トンネル接合素子を用いたことを特徴とする請求の範囲第 1 2 項または請求の範囲第 1 3 項に記載の半導体装置。
- 1 5. 前記判定回路には、前記第 1 の記憶情報と前記第 2 の記憶情報とを比較する比較判定手段と、前記第 1 の記憶情報と前記第 2 の記憶情報とが不一致の場合にのみ前記不揮発性記録回路に前記第 1 の記憶情報を書込む書込み手段とを設けたことを特徴とする請求の範囲第 1 2 項または請求の範囲第 1 3 項に記載の半導体装置。
- 1 6. 前記不揮発性記憶回路には、記憶手段として磁気トンネル接合素子を用いたことを特徴とする請求の範囲第 1 5 項記載の半導体装置。

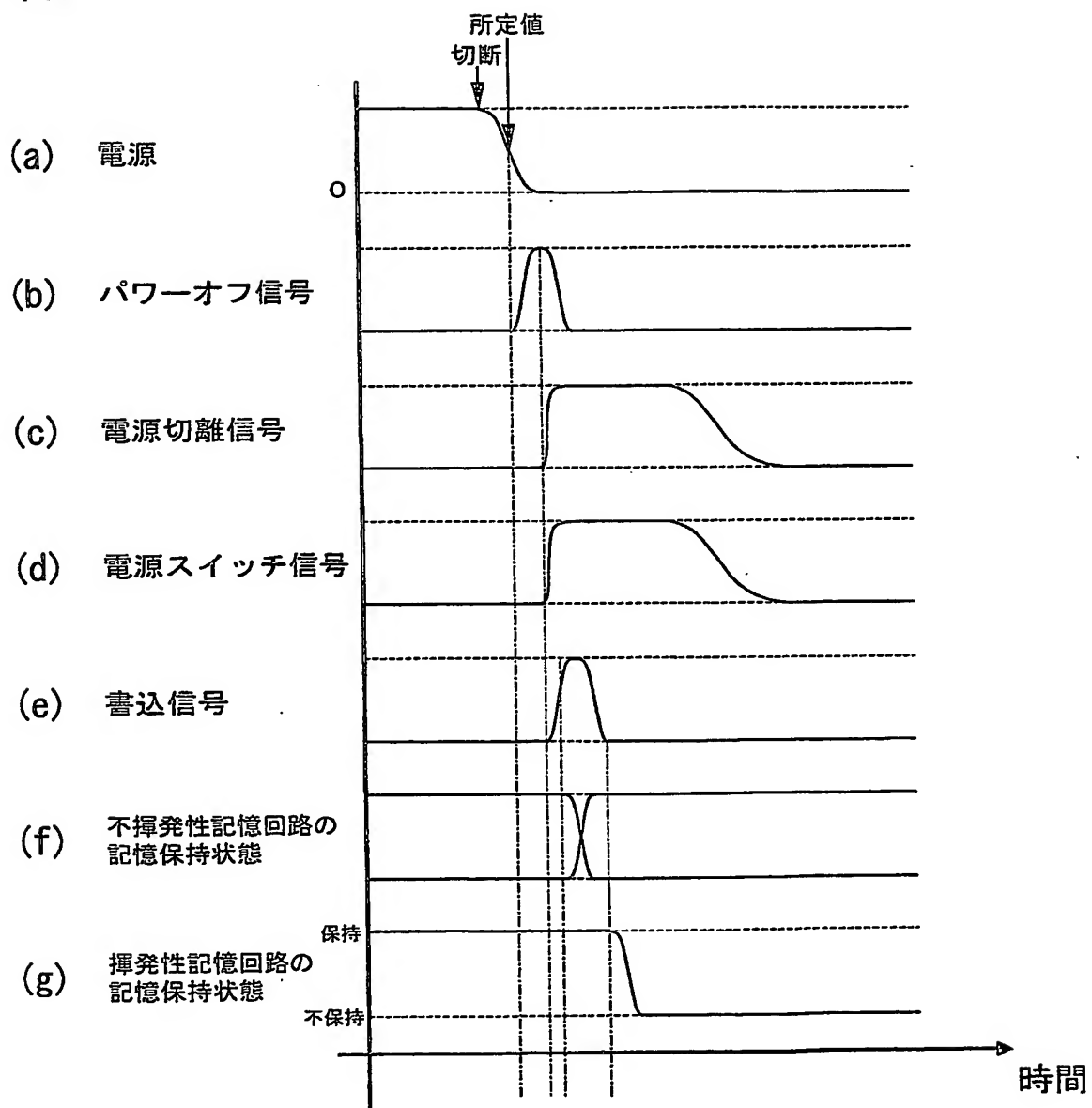
1 / 3

図 1



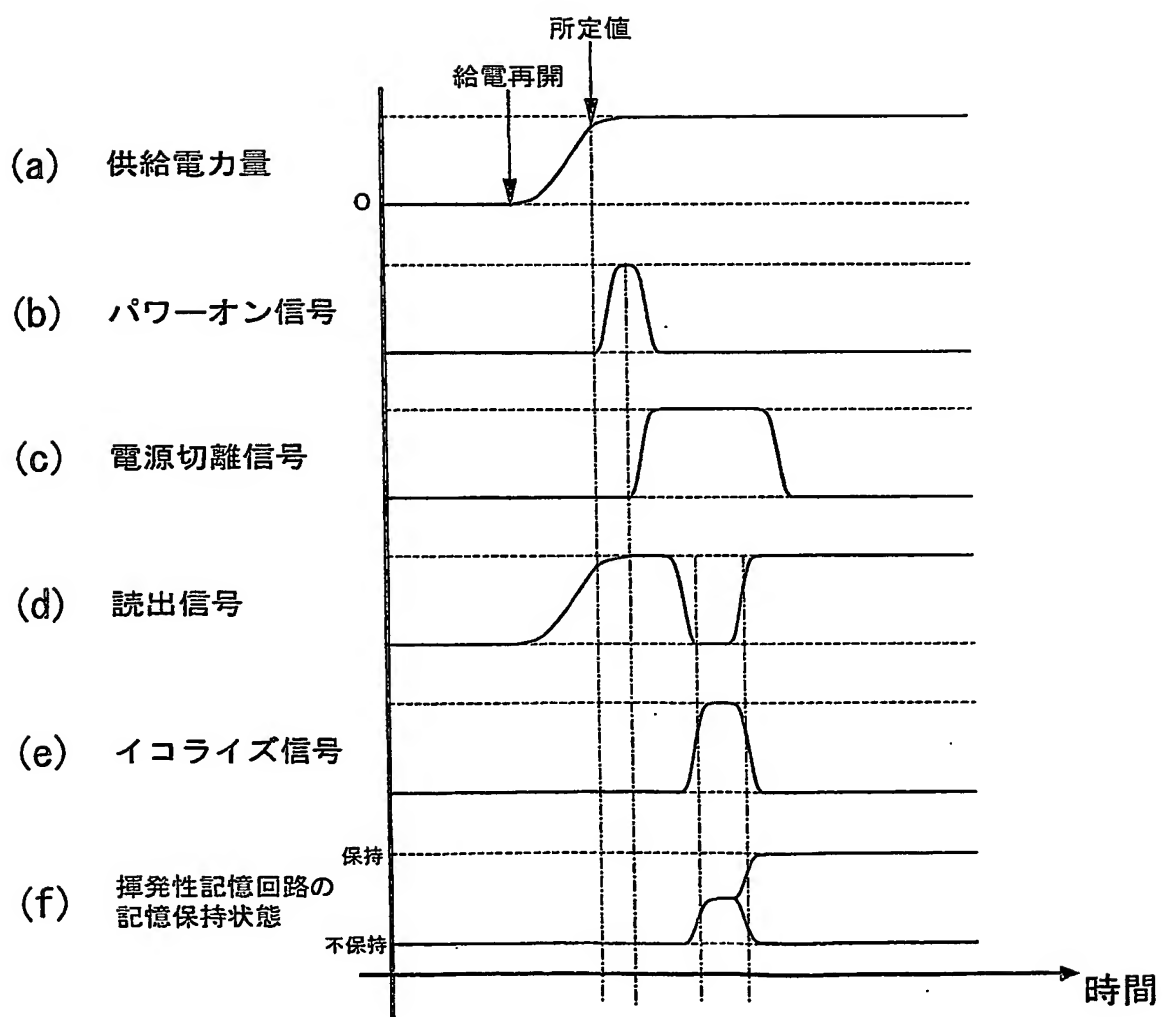
2 / 3

図 2



3 / 3

図 3



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09295

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/15, 16/02, G06F12/16, 12/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/15, 16/02, G06F12/16, 12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 9-161489 A (NEC Engineering Kabushiki Kaisha), 20 June, 1997 (20.06.97), Full text; all drawings (Family: none)	1, 2, 9, 10 3-8, 11-16
X Y	JP 5-289949 A (Nippondenso Co., Ltd.), 05 November, 1993 (05.11.93), Full text; all drawings (Family: none)	1, 2, 9, 10 3-8, 11-16
Y	JP 2000-40037 A (Canon Inc.), 08 February, 2000 (08.02.00), Full text; all drawings (Family: none)	4-8, 12-16

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
21 October, 2003 (21.10.03)Date of mailing of the international search report
04 November, 2003 (04.11.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09295

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-42496 A (New Japan Radio Co., Ltd.), 13 February, 1992 (13.02.92), Full text; all drawings (Family: none)	4-8, 12-16
Y	JP 2001-352475 A (Nikon Corp.), 21 December, 2001 (21.12.01), Full text; all drawings (Family: none)	3, 6, 8, 11, 14, 16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G11C11/15, 16/02
G06F12/16, 12/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G11C11/15, 16/02
G06F12/16, 12/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 9-161489 A(日本電気エンジニアリング株式会社) 1997.06.20, 全文, 全図 (ファミリーなし)	1, 2, 9, 10 3-8, 11-16
X Y	JP 5-289949 A(日本電装株式会社) 1993.11.05, 全文, 全図 (ファミリーなし)	1, 2, 9, 10 3-8, 11-16
Y	JP 2000-40037 A(キャノン株式会社) 2000.02.08, 全文, 全図 (ファミリーなし)	4-8, 12-16

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

21.10.03

国際調査報告の発送日

04.11.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

5N

8731

電話番号 03-3581-1101 内線 6842

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 4-42496 A(新日本無線株式会社) 1992. 02. 13, 全文, 全図 (ファミリーなし)	4-8, 12-16
Y	JP 2001-352475 A(株式会社ニコン) 2001. 12. 21, 全文, 全図 (ファミリーなし)	3, 6, 8, 11, 14, 16